

ACTIVE MATRIX DISPLAY AND PORTABLE TERMINAL USING THE SAME**Patent number:** JP2002175049**Publication date:** 2002-06-21**Inventor:** NAKAJIMA YOSHIHARU**Applicant:** SONY CORP**Classification:****- international:** **G02F1/133; G09G3/20; G09G3/30; G09G3/36;
G02F1/13; G09G3/20; G09G3/30; G09G3/36; (IPC1-7):
G09G3/36; G02F1/133; G09G3/20; G09G3/30****- european:****Application number:** JP20000371045 20001206**Priority number(s):** JP20000371045 20001206**Also published as:**

CN1917024 (/

CN1783196 (/

Report a data error he**Abstract of JP2002175049**

PROBLEM TO BE SOLVED: To provide an active matrix display which can reduce power consumption of the system as a whole, and to provide a portable terminal which uses it. **SOLUTION:** A power circuit, composed of a charge pump type source voltage converting circuit stops supplying switching pulses, by inhibiting clock pulses generated by a pulse generation source 32 from passing through by an AND circuit 31, according to control pulses supplied from a partial mode control circuit 16' in power-saving mode and then stops the pumping operation of a charge pump circuit in large part of a non-display area period, thereby lowering the current supply capability of the power circuit.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175049

(P2002-175049A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 2 G
			6 1 2 D

審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-371045 (P2000-371045)

(22) 出願日 平成12年12月6日 (2000.12.6)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

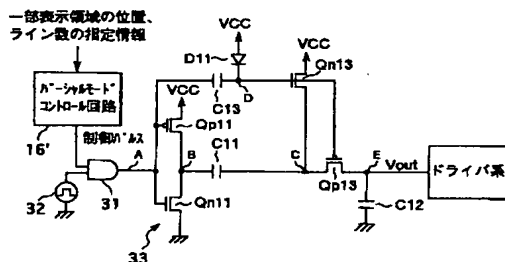
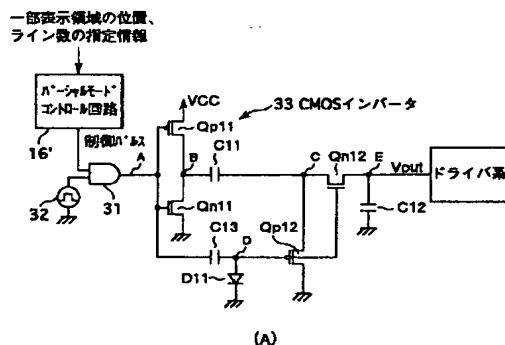
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置およびこれを用いた携帯端末

(57) 【要約】

【課題】 駆動回路用の電源回路は、一般に、負荷電流とは関係なく一定の電力を自分自身で消費するため、一部画面表示モードなどの省電力モードで負荷に供給すべき電流が減少した場合であっても、電源回路での消費電力は変わらない。

【解決手段】 チャージポンプ型電源電圧変換回路からなる電源回路において、省電力モード時にパーシャルモードコントロール回路16' から与えられる制御パルスに基づいて、パルス発生源32からのクロックパルスの通過をAND回路31で禁止し、スイッチングパルスの供給を停止することにより、非表示領域期間の大部分の期間においてチャージポンプ回路のポンピング動作を停止させて、電源回路の電流供給能力を低下させるようにする。



【特許請求の範囲】

【請求項 1】 電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与えるとともに、省電力モード時に電流供給能力が低下する電源回路とを備えたことを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記電源回路は、チャージポンプ型の電源電圧変換回路であり、省電力モード時に前記電源電圧変換回路のスイッチング動作の基準となるクロック信号の入力を停止または前記クロック信号の周波数を低下させることを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 3】 前記省電力モードが、前記表示エリア部の一部の領域にのみ情報を表示する一部画面表示モードであり、前記電源回路は、画面非表示期間において電流供給能力が低下することを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 4】 前記電源回路は、チャージポンプ型の電源電圧変換回路であり、省電力モード時に前記電源電圧変換回路のスイッチング動作の基準となるクロック信号の入力を停止または前記クロック信号の周波数を低下させることを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記電気光学素子が液晶セルであることを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 6】 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 7】 前記表示エリア部の各画素において、前記電気光学素子を駆動する能動素子が薄膜トランジスタからなり、前記電源回路を構成する少なくともトランジスタ回路は、薄膜トランジスタにより前記表示エリア部と同一基板上に一体的に形成されることを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 8】 表示部として、電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に

変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与えるとともに、省電力モード時に電流供給能力が低下する電源回路とを具備するアクティブマトリクス型表示装置を用いたことを特徴とする携帯端末。

【請求項 9】 前記電源回路は、チャージポンプ型の電源電圧変換回路であることを特徴とする請求項 8 記載の携帯端末。

【請求項 10】 前記アクティブマトリクス型表示装置は、前記電気光学素子として液晶セルを用いた液晶表示装置であることを特徴とする請求項 8 記載の携帯端末。

【請求項 11】 前記アクティブマトリクス型表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置であることを特徴とする請求項 8 記載の携帯端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置およびこれを用いた携帯端末に関し、特に単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換する電源回路を備えたアクティブマトリクス型表示装置およびこれを表示部に用いた携帯端末に関する。

【0002】

【従来の技術】近年、携帯電話機や PDA (Personal Digital Assistants) などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その出力表示部として搭載されている液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力を要しない特性を持ち、低消費電力の表示デバイスであるためである。

【0003】これら携帯端末では、その急速な普及とともに表示装置のさらなる低消費電力化が要求されており、それに対応して様々な省電力化技術が提案されている。その中の代表的なものとして、画面の一部分にのみ情報を表示する一部画面表示モード（パーシャルモード）が挙げられる。この一部画面表示モードでは、非表示領域期間において不要な駆動回路の回路動作を停止させることで、低消費電力化を実現している。

【0004】ところで、携帯端末では、電源として単一電源電圧のバッテリーが用いられる。一方、液晶表示装置において、マトリクス状に配された画素を駆動する水平駆動回路では、ロジック部とアナログ部とで異なる直流電圧が用いられ、また画素に情報を書き込む垂直駆動回路では、水平駆動回路側よりも絶対値の大きい直流電圧が用いられることになる。したがって、携帯端末に搭載される液晶表示装置には、単一の直流電源電圧を電圧値の異なる複数種類の直流電圧に変換する電源電圧変換回路（DC-DC コンバータ）が電源回路として必要となる。

【0005】

【発明が解決しようとする課題】この駆動回路用の電源

回路は、一般に、負荷電流とは関係なく一定の電力を自分自身で消費する。したがって、一部画面表示モードなどの省電力モードに移行し、一部の駆動回路の動作停止に伴って負荷に供給すべき電流が減少した場合であっても、電源回路での消費電力は変わらない。すなわち、従来の表示装置では、省電力モードの設定時に、駆動回路側では消費電力の低減が図られるものの、電源回路では何ら消費電力の低減が図られていなかった。

【0006】そこで、本発明は、電源回路側でも消費電力の低減を図ることで、システム全体の低消費電力化を可能としたアクティブマトリクス型表示装置およびこれを用いた携帯端末を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明では、電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、この表示エリア部の各画素を行単位で選択する垂直駆動回路と、この垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路とを具備するアクティブマトリクス型表示装置において、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも垂直駆動回路および水平駆動回路に与える電源回路の電流供給能力を省電力モード時に低下させる構成を採っている。そして、このアクティブマトリクス型表示装置は、携帯端末の表示部として用いられる。

【0008】上記構成のアクティブマトリクス型表示装置あるいはこれを用いた携帯端末において、省電力モードでは、駆動回路系においてその一部の回路動作を停止させることで、回路動作が停止する回路部分で本来消費する電力分だけ低消費電力化が図れる。このとき、電源回路の電流供給能力を低下させることで、電源回路に流れる不要な貫通電流が抑制されるため、ここでの消費電力も低減でき、トータルとして、システム全体のさらなる低消費電力化が図れる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す概略構成図である。ここでは、例えば、各画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明するものとする。

【0010】図1において、透明絶縁基板、例えばガラス基板11上には、液晶セルを含む画素がマトリクス状に多数配置されてなる表示エリア部12と共に、上下一対のHドライバ（水平駆動回路）13U、13DおよびVドライバ（垂直駆動回路）14が搭載され、さらに電源回路15および省電力モードコントロール回路16が搭載されている。ガラス基板11は、能動素子（例えば、トランジスタ）を含む多数の画素回路がマトリクス

状に配置形成される第1の基板と、この第1の基板と所定の間隙をもって対向して配置される第2の基板とによって構成される。そして、これら第1、第2の基板間に液晶が封入される。

【0011】図2に、表示エリア部12の具体的な構成の一例を示す。ここでは、図面の簡略化のために、3行（ $n-1$ 行～ $n+1$ 行）4列（ $m-2$ 列～ $m+1$ 列）の画素配列の場合を例に採って示している。図2において、表示エリア部12には、垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…と、データライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…とがマトリクス状に配線され、それらの交点部分に単位画素23が配置されている。

【0012】単位画素23は、画素トランジスタである薄膜トランジスタTFT、液晶セルLCおよび保持容量Csを有する構成となっている。ここで、液晶セルLCは、薄膜トランジスタTFTで形成される画素電極（一方の電極）とこれに対向して形成される対向電極（他方の電極）との間で発生する容量を意味する。

【0013】薄膜トランジスタTFTは、ゲート電極が垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に接続され、ソース電極がデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に接続されている。液晶セルLCは、画素電極が薄膜トランジスタTFTのドレイン電極に接続され、対向電極が共通ライン24に接続されている。保持容量Csは、薄膜トランジスタTFTのドレイン電極と共通ライン24との間に接続されている。共通ライン24には、所定の直流電圧がコモン電圧Vcomとして与えられる。

【0014】垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…の各一端は、図1に示すVドライバ14の対応する行の各出力端にそれぞれ接続される。Vドライバ14は、例えばシフトレジスタによって構成され、垂直転送クロックVCK（図示せず）に同期して順次垂直選択パルスが発生して垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に与えることによって垂直走査を行う。

【0015】一方、表示エリア部12において、例えば、奇数番目のデータライン…、 $22m-1$ 、 $22m+1$ 、…の各一端が図1に示すHドライバ13Uの対応する列の各出力端に、偶数番目のデータライン…、 $22m-2$ 、 $22m$ 、…の各他端が図1に示すHドライバ13Dの対応する列の各出力端にそれぞれ接続される。Hドライバ13U、13Dの具体的な構成の一例を図3に示す。

【0016】図3に示すように、Hドライバ13Uは、シフトレジスタ25U、サンプリングラッチ回路（データ信号入力回路）26U、線順次化ラッチ回路27UおよびDA変換回路28Uを有する構成となっている。シフトレジスタ25Uは、水平転送クロックHCK（図示

せず)に同期して各転送段から順次シフトパルスを出力することによって水平走査を行う。サンプリングラッチ回路26Uは、シフトレジスタ25Uから与えられるシフトパルスに応答して、入力される所定ビットのデジタル画像データを点順次にてサンプリングしてラッチする。

【0017】線順次化ラッチ回路27Uは、サンプリングラッチ回路26Uで点順次にてラッチされたデジタル画像データを1ライン単位で再度ラッチすることによって線順次化し、この1ライン分のデジタル画像データを一斉に出力する。DA変換回路28Uは例えば基準電圧選択型の回路構成をとり、線順次化ラッチ回路27Uから出力される1ライン分のデジタル画像データをアナログ画像信号に変換して先述した画素エリア部12のデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に与える。

【0018】下側のHドライバ13Dについても、上側のHドライバ13Uと全く同様に、シフトレジスタ25D、サンプリングラッチ回路26D、線順次化ラッチ回路27DおよびDA変換回路28Dを有する構成となっている。なお、本例に係る液晶表示装置では、表示エリア部12の上下にHドライバ13U、13Dを配する構成を採ったが、これに限定されるものではなく、上下のいずれか一方のみに配する構成を採ることも可能である。

【0019】図1および図3から明らかなように、電源回路15および省電力モードコントロール回路16についても、Hドライバ13U、13DおよびVドライバ14と同様に、表示エリア部12と共に同一のガラス基板11上に搭載される。ここで、例えば表示エリア部12の上下にHドライバ13U、13Dを配する構成を採る液晶表示装置の場合には、Hドライバ13U、13Dが搭載されていない辺の額縁エリア(表示エリア部12の周辺エリア)に電源回路15およびタイミングコントロール回路16を搭載するのが好ましい。

【0020】何故ならば、Hドライバ13U、13Dは、上述した如くVドライバ14に比べて構成要素が多く、その回路面積が非常に大きくなる場合が多いことから、Hドライバ13U、13Dが搭載されていない辺の額縁エリアに搭載することで、有効画面率(ガラス基板11に対する有効エリア部12の面積率)を低下させることなく、電源回路15および省電力モードコントロール回路16を表示エリア部12と同一のガラス基板11上に搭載することができるからである。

【0021】なお、本例に係る液晶表示装置においては、Hドライバ13U、13Dが搭載されていない辺の額縁エリアの一方側にはVドライバ14が搭載されていることから、その反対側の辺の額縁エリアに電源回路15および省電力モードコントロール回路16を搭載する構成を採っている。

【0022】また、電源回路15の搭載に際しては、表示エリア部12の各画素トランジスタとして薄膜トランジスタTFTを用いていることから、電源回路15を構成するトランジスタとしても薄膜トランジスタを用い、少なくともこれらトランジスタ回路を表示エリア部12と同一プロセスを用いて作成することにより、その製造が容易になるとともに、低コストにて実現できる。

【0023】薄膜トランジスタについては、近年の性能向上や消費電力の低下に伴って集積化が容易になっているのが現状である。したがって、電源回路15、特に少なくともトランジスタ回路を表示エリア部12の画素トランジスタと同じ薄膜トランジスタを用いて同一のガラス基板11上に同一プロセスにて一体的に形成することにより、製造プロセスの簡略化に伴う低コスト化、さらには集積化に伴う薄型化、コンパクト化を図ることができる。

【0024】電源回路15は、例えばチャージポンプ型の電源電圧変換回路(DC-DCコンバータ)からなり、外部から与えられる単一の直流電源電圧VCCを電圧値の異なる複数種類の直流電圧に変換し、これら直流電圧をHドライバ13U、13DやVドライバ14などに与える。省電力モードコントロール回路16は、外部から省電力モードが指定されると、Hドライバ13U、13DやVドライバ14での電源電流を低下させるとともに、電源回路15の電流供給能力を低下させるための制御を行う。

【0025】ここで、アクティブマトリクス型液晶表示装置において、省電力モードとは、表示エリア部12の一部の領域にのみ情報を表示する一部画面表示モード(パーシャルモード)や、通常モードでは例えばR(赤)、G(緑)、B(青)各6ビットで26万色の表示を行うのに対してRGB各1ビットで8色の表示を行う2階調表示モードなどが挙げられる。

【0026】これらの省電力モードのうち、例えば一部画面表示モードでは、表示エリア部12の一部、例えば上部のみに特定の情報が表示されるのに対して、非表示領域には白あるいは黒の表示が行われることになる。そして、非表示領域では、常に白あるいは黒の情報を表示すれば良く、Hドライバでの情報の書き換えが不要であることから、Hドライバを停止させることで、このHドライバで本来消費する電力分だけ低消費電力化が図れるのである。

【0027】このように、アクティブマトリクス型液晶表示装置において、省電力モード時には、非表示領域でHドライバの動作を停止させることによって低消費電力化が図れるとともに、電源回路15の電流供給能力を低下させることによって、電源回路15でも消費電力の低減を図ることができるため、表示装置全体のさらなる低消費電力化が可能となる。しかも、DC-DC変換効率、負荷での消費電力/総消費電力で定義され、総消費

電力＝負荷での消費電力＋本回路での消費電力であることから、本回路での消費電力を低減できることによって変換効率の向上も可能となる。

【0028】続いて、電源回路15の具体的な構成について説明する。ここでは、電源回路15として例えばチャージポンプ型の電源電圧変換回路を用い、また省電力モードとして一部画面表示モード（パーシャルモード）を設定する場合を例に採って説明するものとする。

【0029】図4は、チャージポンプ型の電源電圧変換回路の第1構成例を示す回路図であり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。なお、図4において、パーシャルモードコントロール回路16'は、図1および図3の省電力モードコントロール回路16に相当する。

【0030】図4(A)において、パーシャルモードコントロール回路16'は、通常モードでは“H”レベル（高レベル）の制御パルスを出力し、省電力モード、即ち一部画面表示モードが設定されたときは、外部から与えられる一部表示領域の位置やライン数の指定情報に基づいて、画面非表示領域期間で“L”レベル（低レベル）の制御パルスを出力する。この制御パルスは、AND回路31の一方の入力となる。AND回路31の他方の入力としては、パルス発生源32で発生されるクロックパルスが与えられる。

【0031】一方、単一の直流電源電圧VCCを与える電源とグランド（GND）との間には、PchMOSトランジスタQp11とNchMOSトランジスタQn11とが直列に接続され、かつ各ゲートが共通に接続されてCMOSインバータ33を構成している。このCMOSインバータ33のゲート共通接続点には、AND回路32を通過したパルス発生源32からのクロックパルスがスイッチングパルスとして印加される。

【0032】CMOSインバータ33のドレイン共通接続点（ノードB）には、コンデンサC11の一端が接続されている。コンデンサC11の他端には、スイッチ素子、たとえばNchMOSトランジスタQn12のドレインおよびPMOSトランジスタQp12のソースがそれぞれ接続されている。NchMOSトランジスタQn12のソースとグランドとの間には、負荷コンデンサC12が接続されている。

【0033】CMOSインバータ33のゲート共通接続点には、コンデンサC13の一端が接続されている。コンデンサC13の他端には、ダイオードD11のアノードが接続されている。ダイオードD11のカソードは接地されている。コンデンサC13の他端にはさらに、NchMOSトランジスタQn12およびPchMOSトランジスタQp12の各ゲートがそれぞれ接続されている。PchMOSトランジスタQp12のドレインは接地されている。

【0034】以上により、外部から与えられる単一の直

流電源電圧VCCに基づいて、出力電圧Voutとして負電圧－VCCを発生するチャージポンプ回路構成の電源電圧変換回路が構成されている。

【0035】次に、上記構成の負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作について、図5(A)のタイミングチャートを用いて説明する。なお、図5(A)のタイミングチャートには、図4(A)の回路におけるノードA～Eの各信号波形A～Eを示している。

【0036】先ず、通常モードでは、パーシャルモードコントロール回路16'から“H”レベルの制御パルスが出力されることから、パルス発生源32で発生されるクロックパルスがAND回路31を通過してスイッチングパルスとして、CMOSインバータ33のゲート共通接続点に与えられる。このとき、スイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、ダイオードD11によってクランプされる。

【0037】そして、スイッチングパルスが“L”レベル（0V）のときは、PchMOSトランジスタQp11、Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレベルとなる。次いで、スイッチングパルスが“H”レベル（VCC）になると、NchMOSトランジスタQn11、Qn12がオン状態となり、ノードBの電位がグラウンドレベル（0V）になるため、ノードCの電位が－VCCレベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出力電圧Vout（＝－VCC）となる。

【0038】次に、パーシャルモード（一部画面表示モード）が設定されると、パーシャルモードコントロール回路16'から、外部から与えられる一部表示領域の位置やライン数の指定情報に基づいて、画面非表示領域期間で“L”レベルの制御パルスが出力される。すると、AND回路31は、この“L”レベルの制御パルスによってパルス発生源32で発生されるクロックパルスの通過を禁止する。これにより、チャージポンプ回路へのスイッチングパルスの供給が停止される。

【0039】スイッチングパルスが供給されないことで、チャージポンプ回路のポンピング動作が停止する。このとき、チャージポンプ回路、即ち本電源電圧変換回路の電流供給能力（電流容量）はほぼ0に低下する。すなわち、チャージポンプ回路の電流供給能力は、スイッチングパルスの周波数とコンデンサC11の容量に反比例することから、スイッチングパルスの供給が停止することで、スイッチングパルスの周波数が0となり、電流供給能力がほぼ0となる。

【0040】ここで、本電源電圧変換回路の電流供給能力（電流容量）を低下させる期間としては、低消費電力化を図る上ではできるだけ長い方が良いため、非表示領

域期間の大部分、例えば1/2以上とするのが好ましい。

【0041】上述したように、チャージポンプ回路を用いた電源電圧変換回路において、非表示領域期間の大部分の期間でチャージポンプ回路のポンピング動作を停止させて、電源電圧変換回路の電流供給能力を低下させるようにしたことにより、ドライバ系側での消費電流の少ない非表示期間において、チャージポンプ回路で不要な貫通電流が流れるのを抑制できるため、電源電圧変換回路での消費電力を低減できる。さらに、電源電圧変換回路での消費電力の低減によってDC-DC変換効率の向上も可能となる。

【0042】図4(B)に示す昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作は同じである。すなわち、図4(B)において、スイッチングトランジスタ(MOSトランジスタQp13, Qn13)が図4(A)の回路のMOSトランジスタQn12, Qp12と逆導電型となるとともに、ダイオードD11がコンデンサC11の他端と電源(VCC)との間に接続された構成となっており、この点が図4(A)の回路と構成上相違するのみである。

【0043】回路動作上においても、基本的には、図4(A)の回路と全く同じである。異なるのは、出力電圧Voutとして電源電圧VCCの2倍の電圧値2×VCCが導出される点だけである。図5(B)に、図4(B)の回路におけるノードA～Eの各信号波形A～Eのタイミングチャートを示す。

【0044】図6は、チャージポンプ型の電源電圧変換回路の第2構成例を示す回路図であり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。また、図中、図4と同等部分には同一符号を付して示している。本構成例に係る電源電圧変換回路においては、図4のAND回路31およびパルス発生源32に代えて、VCO(電圧制御発振器)34が設けられた構成となっており、それ以外は図4の構成と全く同じである。

【0045】VCO34は、通常モード時にはパシシャルモードコントロール回路16'から例えば“H”レベルの制御電圧が与えられることで、この制御電圧に基づいて所定周波数の第1のクロックパルスを発生し、パシシャルモード時にはパシシャルモードコントロール回路16'から例えば“L”レベルの制御電圧が与えられることで、この制御電圧に基づいて第1のクロックパルスよりも周波数が低い第2のクロックパルスを発生する。これら第1、第2のクロックパルスは、スイッチングパルスとしてCMOSインバータ33のゲート共通接続点に印加される。

【0046】次に、上記構成の負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作について、図7(A)のタイミングチャートを用いて説明す

る。なお、図7(A)のタイミングチャートには、図6(A)の回路におけるノードA～Eの各信号波形A～Eを示している。

【0047】まず、通常モードでは、パシシャルモードコントロール回路16'から“H”レベルの制御電圧が与えられることで、VCO34は所定周波数の第1のクロックパルスを発生する。この第1のクロックパルスは、スイッチングパルスとしてCMOSインバータ33のゲート共通接続点に与えられる。このとき、スイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、ダイオードD11によってクランプされる。

【0048】そして、スイッチングパルスが“L”レベル(0V)のときは、PchMOSトランジスタQp11, Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレベルとなる。次いで、スイッチングパルスが“H”レベル(VCC)になると、NchMOSトランジスタQn11, Qn12がオン状態となり、ノードBの電位がグラウンドレベル(0V)になるため、ノードCの電位が-VCCレベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出力電圧Vout(=-VCC)となる。

【0049】次に、パシシャルモード(一部画面表示モード)が設定されると、パシシャルモードコントロール回路16'から、外部から与えられる一部表示領域の位置やライン数の指定情報に基づいて、画面非表示領域期間で“L”レベルの制御電圧が出力される。この“L”レベルの制御電圧が与えられることにより、VCO34は、通常モードでの第1のクロックパルスよりも周波数の低い第2のクロックパルスを発生する。この第2のクロックパルスは、スイッチングパルスとしてCMOSインバータ33のゲート共通接続点に与えられる。

【0050】以降、通常モード時と同様の動作原理により、第2のクロックパルスに基づくチャージポンプ回路でのポンピング動作によってDC-DC変換動作が行われ、出力電圧Voutとして負電圧-VCCが導出される。このとき、スイッチングパルスの周波数が通常モード時よりも低くなることで、本電源電圧変換回路の電流供給能力(電流容量)が低下する。すなわち、先述したように、チャージポンプ回路の電流供給能力は、スイッチングパルスの周波数とコンデンサC11の容量に反比例することから、スイッチングパルスの周波数が下がることで、電流供給能力が低下する。

【0051】上述したように、チャージポンプ回路を用いた電源電圧変換回路において、スイッチングパルスの発生源としてVCO34を用い、非表示領域期間の大部分の期間でスイッチングパルスの周波数を通常モード時よりも低くして、電源電圧変換回路の電流供給能力を低

下させるようにしたことにより、ドライバ系側での消費電流の少ない非表示期間において、チャージポンプ回路で不要な貫通電流が流れるのを抑制できるため、電源電圧変換回路での消費電力を低減でき、また当該変換回路での消費電力の低減によって変換効率を向上できる。

【0052】図6（B）に示す昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作は同じである。すなわち、図6（B）において、スイッチングトランジスタ（MOSトランジスタ Q_{p13} 、 Q_{n13} ）が図6（A）の回路のMOSトランジスタ Q_{n12} 、 Q_{p12} と逆導電型となるとともに、ダイオード $D11$ がコンデンサ $C11$ の他端と電源（VCC）との間に接続された構成となっており、この点が図6（A）の回路と構成上相違するのみである。

【0053】回路動作上においても、基本的には、図6（A）の回路と全く同じである。異なるのは、出力電圧 V_{out} として電源電圧VCCの2倍の電圧値 $2 \times VCC$ が導出される点だけである。図7（B）に、図6

（B）の回路におけるノードA～Eの各信号波形A～Eのタイミングチャートを示す。

【0054】以上述べた第1、第2構成例に係るチャージポンプ型の電源電圧変換回路の回路構成は一例に過ぎず、チャージポンプ回路の回路構成としては種々の改変が可能であり、上記の回路構成例に限定されるものではない。

【0055】なお、上記実施形態では、アクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、これに限られるものではなく、エレクトロルミネッセンス（EL）素子を各画素の電気光学素子として用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

【0056】また、本発明に係るアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の表示部として用いて好適なものである。

【0057】図8は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外観図である。

【0058】本例に係る携帯電話機は、装置筐体41の前側面に、スピーカ部42、表示部43、操作部44およびマイク部45が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、表示部43には例えば液晶表示装置が用いられ、この液晶表示装置として、先述した実施形態に係るアクティブマトリク

ス型液晶表示装置が用いられる。

【0059】このように、携帯電話機などの携帯端末において、先述した実施形態に係るアクティブマトリクス型液晶表示装置を表示部43として用いることにより、当該液晶表示装置が装置全体の低消費電力化を図ることができるため、端末本体の低消費電力化が可能となる。

【0060】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス型表示装置あるいはこれを用いた携帯端末において、省電力モード時に駆動回路の電流供給能力を低下させることにより、電源回路での消費電力も低減できるため、省電力モードでのさらなる低消費電力化が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す概略構成図である。

【図2】液晶表示装置の表示エリア部の構成例を示す回路図である。

【図3】Hドライバの具体的な構成の一例を示すブロック図である。

【図4】チャージポンプ型電源電圧変換回路の第1構成例を示す回路図であり、（A）は負電圧発生タイプを、（B）は昇圧タイプをそれぞれ示している。

【図5】第1構成例に係る電源電圧変換回路の回路動作を説明するためのタイミングチャートであり、（A）は負電圧発生タイプの場合を、（B）は昇圧タイプの場合をそれぞれ示している。

【図6】チャージポンプ型電源電圧変換回路の第2構成例を示す回路図であり、（A）は負電圧発生タイプを、（B）は昇圧タイプをそれぞれ示している。

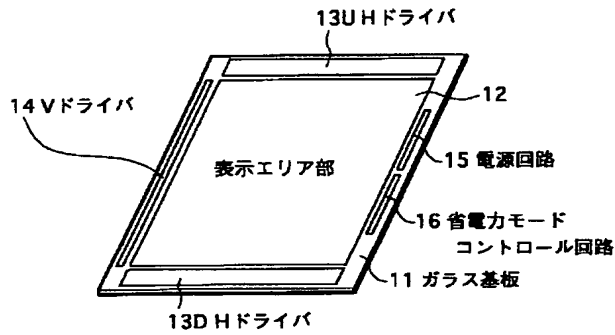
【図7】第2構成例に係る電源電圧変換回路の回路動作を説明するためのタイミングチャートであり、（A）は負電圧発生タイプの場合を、（B）は昇圧タイプの場合をそれぞれ示している。

【図8】本発明に係る携帯端末である携帯電話機の構成の概略を示す外観図である。

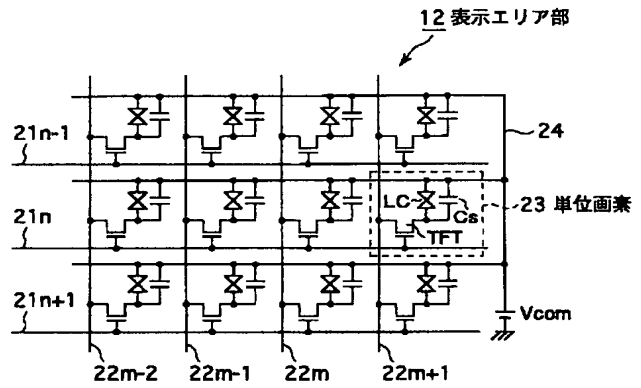
【符号の説明】

11…ガラス基板、12…表示エリア部、13U、13D…Hドライバ（水平駆動回路）、14…Vドライバ（垂直駆動回路）、15…電源回路、16…省電力モードコントロール回路、16'…パースシャルモードコントロール回路、23…単位画素、31…AND回路、32…パルス発生源、33…CMOSインバータ、34…VCO（電圧制御発振器）

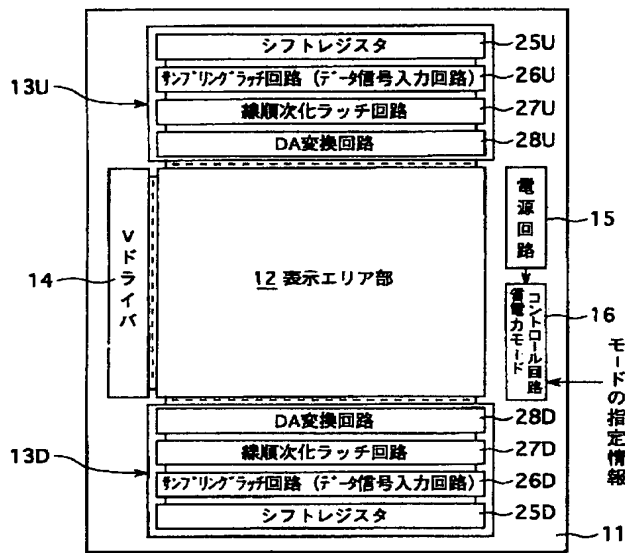
【図 1】



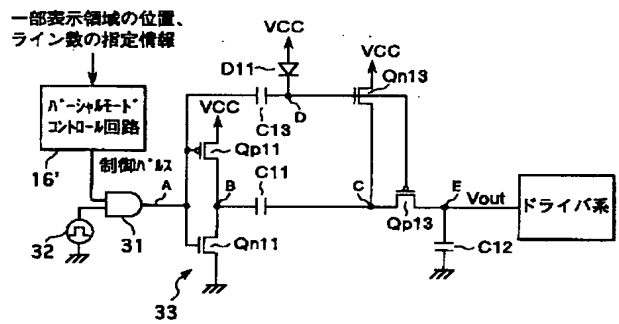
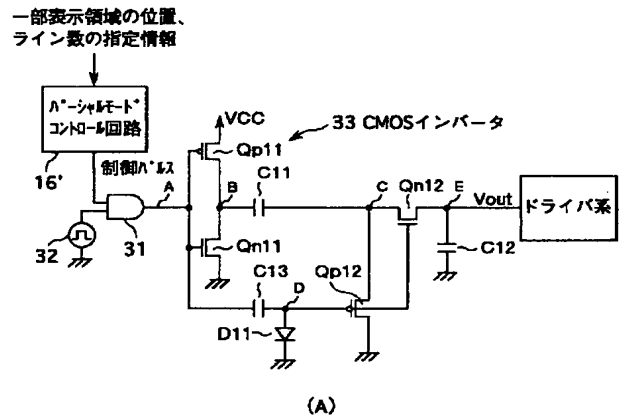
【図 2】



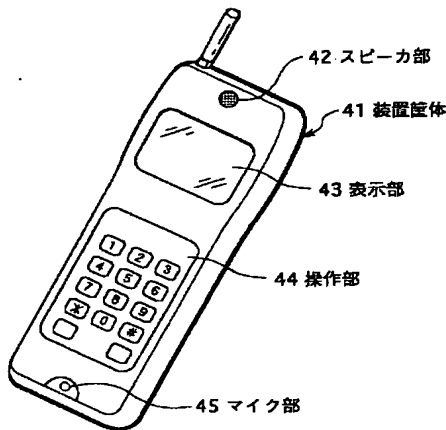
【図 3】



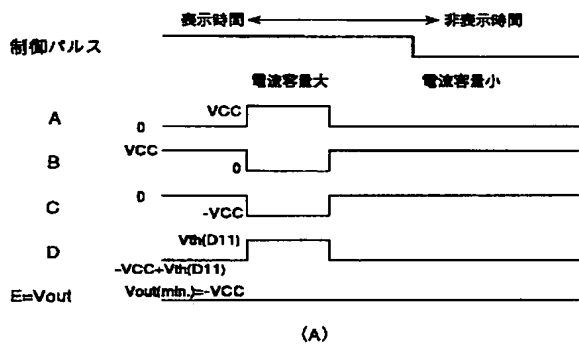
【図 4】



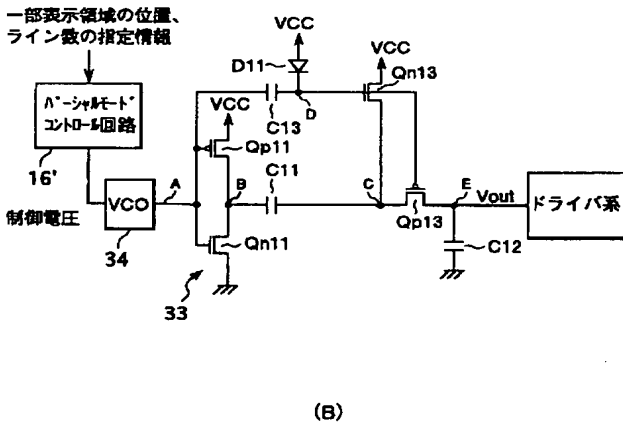
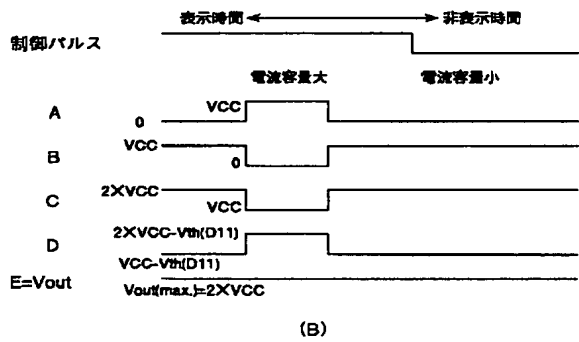
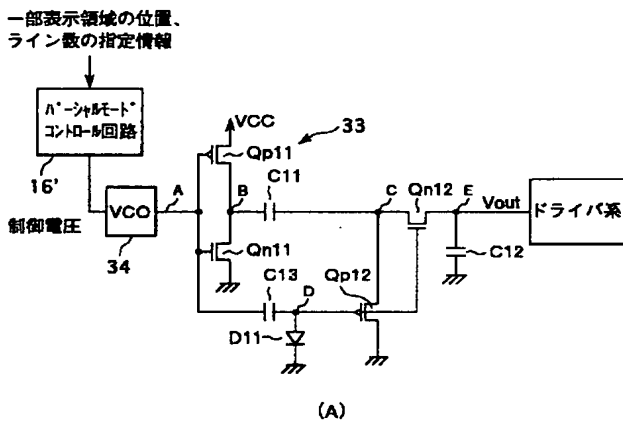
【図 8】



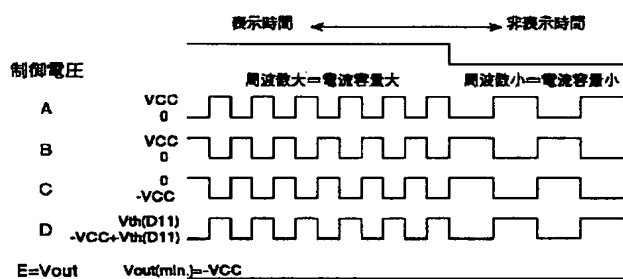
【图 5】



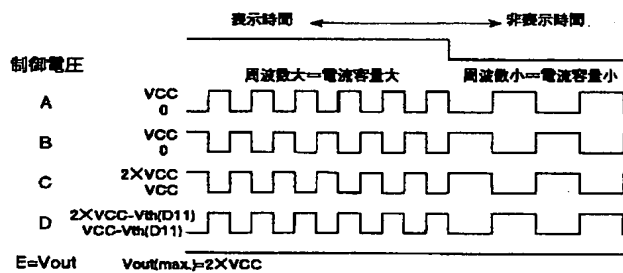
【図 6】



【図 7】



(A)



(B)

フロントページの続き

(51) Int. Cl. ⁷		識別記号		FI		テーマコード [*] (参考)	
G 0 9 G	3/20	6 8 0		G 0 9 G	3/20	6 8 0 T	J
	3/30				3/30		

F ターム (参考) 2H093 NA46 NC05 NC06 NC10 NC12
NC22 NC24 NC26 NC34 NC59
ND39
5C006 AF68 AF69 BB16 BC06 BF42
BF46 EC13 FA47
5C080 AA10 BB05 DD26 FF07 JJ02
JJ03 JJ04 JJ06 KK07